

ZXM41D8IJYF 智能信息综合处理 模组技术规格书

版本 V1.0

共 1 册 第 1 册 共 28 页

陕西智安迅科技有限公司

2025年4月

目录

1. 模组概述	1
1.1. 功能及组成	1
1.2. 命名规则	3
1.3. 产品特点	3
2. 主要性能参数指标	3
2.1. 基本规格	3
2.2. 质量等级	5
3. 应用接口	5
3.1. 管脚定义	5
3.2. 工作模式选择	7
3.3. 系统配置	8
3.4. SerDes 接口	9
3.4.1. PCIe 接口	9
3.4.2. SATA 接口	10
3.4.3. 参考时钟	11
3.5. RGMII 接口	12
3.6. EMMC 接口	13
3.7. USB 接口	14
3.8. MIPI CSI 接口	15
3.9. MIPI DSI 接口	16
3.10. HDMI TX 接口	17
3.11. I2S 接口	17
3.12. 其他接口	18
3.12.1. I2C 接口	18
3.12.2. SPI 接口	18
3.12.3. UART 接口	18
3.12.4. PWM 控制接口	19
4. 物理接口说明	20
4.1. 外形尺寸	20
4.2. 重量	20
4.3. 推荐封装	20

4.3.1. 连接器	20
4.3.2. 底板连接器插座及开孔位置	21
4.3.3. 安装示意	21
4.4. 模组散热设计	22
5. 存储和生产	23
6. 缩略语	24
7. 版本说明	25

1. 模组概述

1.1. 功能及组成

ZXM41D8IJYF 是一款基于华为昇腾 310 系列 ZXA41D8 型处理器的面向端侧应用的智能信息处理模组（以下简称模组）。该模组具有高集成、高可用、高扩展等特点，在高效实现端侧智能推理计算的同时，兼具通用 CPU、GPU 处理能力，具备专用图像处理功能和丰富接口资源，元器件满足 100%自主可控要求，可满足无人装备、特种装备、工业控制等领域的智控应用需求。

模组由 ZXA41D8 智能信息综合处理器及其最小系统电路组成。组成框图见图 1。

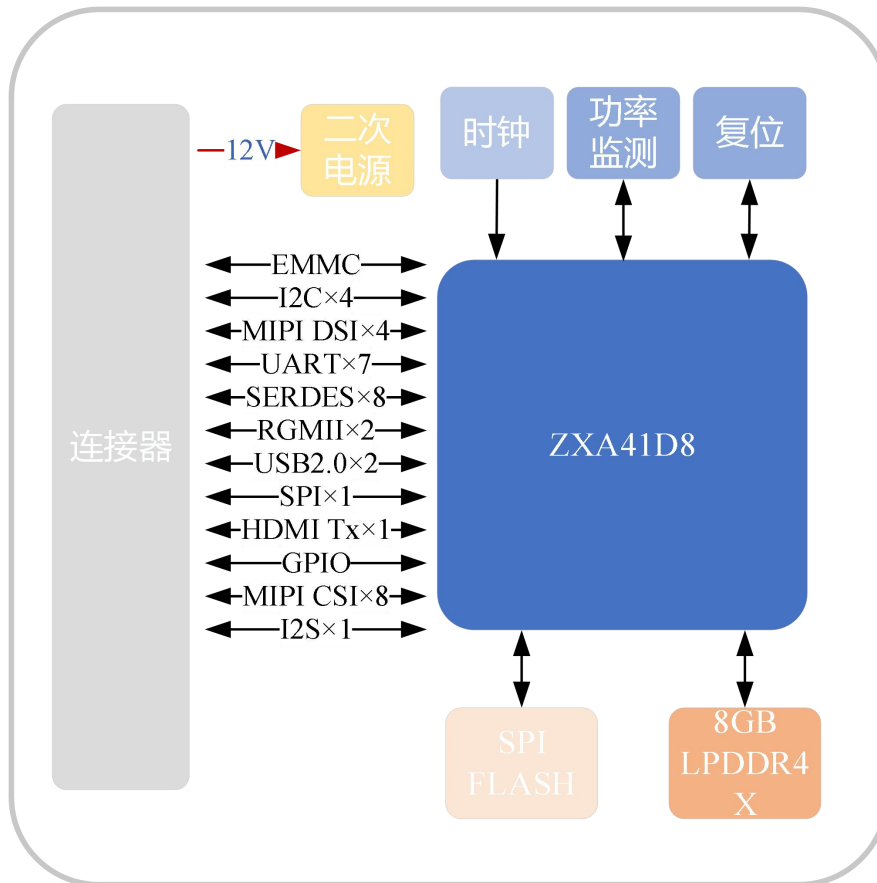


图 1 组成框图

模组正面图见图 2 所示，模组背面见图 3 所示

1.2. 命名规则

<u>ZX</u>	<u>M</u>	<u>41D8</u>	<u>I</u>	<u>JYF</u>
公司代号	模组	信息处理能力	质量等级:	连接器类
		4:CPU 核数量	I: 工业级	型
		1:AI 核数量	M1: GJB 10164-2021 M1 级	
		D: 端侧	M2: GJB 10164-2021 M2 级	
		8: 8TOPS@INT8		

1.3. 产品特点

- 具有 CPU+NPU+GPU 的异构多核信息处理架构，在满足 AI 端侧推理计算需求的同时，兼具实现 CPU、GPU 的相关功能；
- 具有丰富的接口资源，能够提供多种音视频接口和通信接口，满足不同场景的信息互联需求；
- 具有专用图像处理单元，通过各类图像预处理及图像视频编解码功能实现图像及视频的高效处理；
- 支持主流网络模型及编程框架，满足多场景 AI 算法快速部署需求；
- 具有高集成度、小体积、低成本等特点；
- 100%选用国产元器件，满足自主可控要求。

2. 主要性能参数指标

2.1. 基本规格

表 1 硬件基本规格

特征	规格
CPU	<ul style="list-style-type: none"> ● 4 个 TAISHAN V200M 处理器核主频 1.6GHz
NPU	<ul style="list-style-type: none"> ● 1 个 DaVinciV300 AI core 主频 1.0GHz ● 整数精度 (INT8) : 8TOPS ● 半精度 (FP16) : 4TFLOPS ● 双精度 (FP32) : 1TFLOPS
GPU	<ul style="list-style-type: none"> ● ARM Mali G52 GPU 核
内存	<ul style="list-style-type: none"> ● 类型: LPDDR4X ● 速率: 3200Mbps ● 支持 ECC ● 容量: 8GB ● 位宽: 64bit
存储	<ul style="list-style-type: none"> ● 内置 SPI flash, 容量 64MB ● 支持外部 EMMC 接口, 可支持: EMMC5.1 颗粒, 支持最高模式 HS400
编解码能力	<ul style="list-style-type: none"> ● 支持 H.264/H.265 Decoder 硬件解码, 20 路 1080P (1920×1080) 30FPS, YUV420 ● 支持 H.264/H.265 Decoder 硬件解码, 2 路 4K (3840×2160)75FPS, YUV420 ● 支持 H.264/H.265 Encoder 硬件编码, 12 路 1080P (1920×1080) 30FPS, YUV420 ● 支持 H.264/H.265 Encoder 硬件编码, 2 路 4K(3840×2160)50FPS, YUV420

特征	规格
	<ul style="list-style-type: none"> ● JPEG 解码能力 1080P (1920×1080) 512FPS（单路最大 256FPS），编码能力 1080P(1920×1080) 256FPS，最大分辨率：16384×16384，最小分辨率 32x32
图像预处理	<ul style="list-style-type: none"> ● 支持自动曝光、白平衡、缩放、防抖、去燥等功能
高速接口	<ul style="list-style-type: none"> ● SerDes: 8lane, 支持 SGMII(1.25Gbps)、1000BASE-R(1.25Gbps)、USB3.0(5Gbps)、SATA 3.0(6Gbps), 向下兼容 SATA 2.0(3Gbps)和 SATA 1.0(1.5Gbps)、PCIe Gen3(8Gbps)向下兼容 PCIe Gen2(5Gbps)和 PCIe Gen1 (2.5Gbps)灵活可配置
低速外设接口	<ul style="list-style-type: none"> ● UART×7 ● I2C×4 ● SPI×1 ● HDMI×1 ● MIPI-CSI: 8Lane ● MIPI-DSI: 4Lane ● I2S×1
其他接口	<ul style="list-style-type: none"> ● EMMC×1 ● PWM×1
网口	<ul style="list-style-type: none"> ● RGMII×2
连接器	<ul style="list-style-type: none"> ● 320 芯对插式高密度连接器
供电电压	<ul style="list-style-type: none"> ● 电压: 12 (±5%) V
功耗	<ul style="list-style-type: none"> ● 典型功耗: 15W ● 最大功耗: 18W
结构尺寸	<ul style="list-style-type: none"> ● 长宽高: 60 (±0.2mm) × 55 (±0.2mm) × 9.7 (±0.3) mm
重量	<ul style="list-style-type: none"> ● ≤50g

表 2 软件基本规格

特征	规格
操作系统	ZaxOS1.0、openEuler 22.03、Ubuntu 22.04
深度学习框架	TensorFlow、飞桨、PyTorch、MindSpore
开发环境	Mobaxterm、Vscode、Vmware
支持的网络模型	Yolo、ResNet、Vit、LSTM、MobileNet、VGG、ResNet、SSD 等

注：

对实时性、智控一体、安全可靠稳定性要求较高的场景，推荐使用ZaxOS 1.0操作系统。

ZaxOS 1.0 是面向人工智能应用，兼顾算控一体需求，立足全栈自主可控，基于开源欧拉系统打造的新一代智控操作系统；为嵌入式智能、智能体、具身智能等未来智能应用场景需求提供软件基座支撑；为 AI 技术在端侧的落地应用提供敏捷高效可靠的软件架构解决方案。ZaxOS 1.0 具有以下特点：

- 支持华为的智能 CANN 异构计算架构，MindSpore 昇思、PyTorch、PP 飞桨、TensorFlow 等 AI 框架，MindX 等应用使能，可实现算力切分、算力分配与调度，发挥硬件最大效能；

- 极致轻量化：系统镜像小于 300M，启动时间小于 5s；
- 高效稳定的通信机制：基于通信组件实现数据高可靠通信，满足特种场景的可靠性需求；
- 强实时性，复杂任务调度时延小于 5 μ s；
- 极致安全可靠：支持故障隔离机制、健全的冗余机制。

2.2. 质量等级

模组采用高规格的硬件设计，可满足严苛的工作环境。模组质量等级分为 M1、M2、I(工业级)，其中，M1、M2 级满足 GJB 10164-2021《微电路模块通用规范》规定的质量控制要求。

各质量等级产品支持的工作温度范围见表 3。

表 3 工作温度范围

环境指标	规格
工作温度	M1: -55°C~100°C M2: -40°C~85°C I: -40°C~70°C

3. 应用接口

3.1. 管脚定义

模组连接器的管脚定义见表 4 与表 5。

表 4 ZXM41D8M1JYF 智能信息综合处理模组接口定义 (A-D)

管脚定义	A	B	C	D
1	VCC	VCC	VCC	VCC
2	DGND	DGND	DGND	DGND
3	RGMIIO_TXD1	DGND	DGND	RGMIIO_TXCK
4	RGMIIO_TXD2	RGMIIO_TXD2	RGMIIO_TXD0	RGMIIO_MDCK
5	RGMIIO_TXD3	RGMIIO_TXCK	RGMIIO_TXEN	RGMIIO_RXD2
6	RGMIIO_TXD0	RGMIIO_TXD1	RGMIIO_TXD3	RGMIIO_RXD1
7	RGMIIO_TXEN	DGND	EPHY1_RSTN	DGND
8	DGND	PCIe_TX3_P	DGND	PCIe_USB_GE_TX6_P
9	DGND	PCIe_TX3_N	DGND	PCIe_USB_GE_TX6_N
10	PCIe_TX1_P	DGND	PCIe_USB_GE_TX4_P	DGND
11	PCIe_TX1_N	DGND	PCIe_USB_GE_TX4_N	DGND
12	DGND	PCIe_TX2_P	DGND	PCIe_USB_GE_TX7_P
13	DGND	PCIe_TX2_N	DGND	PCIe_USB_GE_TX7_N
14	PCIe_TX0_P	DGND	PCIe_USB_GE_TX5_N	DGND
15	PCIe_TX0_N	DGND	PCIe_USB_GE_TX5_P	DGND
16	DGND	PCIe_RX3_N	DGND	PCIe_USB_GE_RX6_P
17	DGND	PCIe_RX3_P	DGND	PCIe_USB_GE_RX6_N
18	PCIe_RX2_P	DGND	PCIe_USB_GE_RX4_N	DGND

管脚定义	A	B	C	D
19	PCIe_RX2_N	DGND	PCIe_USB_GE_RX4_P	DGND
20	DGND	PCIe_RX1_N	DGND	PCIe_USB_GE_RX7_P
21	DGND	PCIe_RX1_P	DGND	PCIe_USB_GE_RX7_N
22	PCIe_RX0_N	DGND	PCIe_USB_GE_RX5_P	DGND
23	PCIe_RX0_P	DGND	PCIe_USB_GE_RX5_N	DGND
24	DGND	WAKE_PHY0_R	DGND	HDMI0_CEC
25	USB2_OVRCUR	WAKE_PHY1_R	MIPI_DSI_GPIO	DGND
26	USB2_VBUS	UART1_RXD	DGND	PCIe_REFCLKP
27	DGND	UART1_TXD	DSI_I2C_INT	PCIe_REFCLKN
28	USB2_2_DM	USB3_POWER_EN	TPM_INT	DGND
29	USB2_2_DP	DGND	I2C5_SCL	I2C5_SDA
30	DGND	USB3_OVRCUR	DGND	I2CS_SDA
31	USB2_3_DP	USB3_VBUS	FAN_TECH0	UHT_ALARM
32	USB2_3_DM	DGND	FAN_PWM0	UPDATE
33	DGND	HDMI0_SCL	BOOT_SEL1	MIPI_DSI_SDA
34	I2C9_SCL	HDMI0_SDA	BOOT_SEL2	MIPI_DSI_SCL
35	I2C9_SDA	DGND	BOOT_SEL0	DGND
36	DGND	POWEROFF_IN	PWM0	GPIO4_01
37	WAKE_N	SLEEP_OUT	PCIe_EP_RC_FLAG	UART2_RXD
38	UART0_RXD	DGND	SYS_RST_OUT	UART2_TXD
39	UART0_TXD	I2C8_SDA	STAT2_LED	SLEEP_IN
40	POWER_EN	I2C8_SCL	HOST_RST_FAULT	SATA_PCIe_FLAG

表 5 ZXM41D8M1JYF 智能信息综合处理模组接口定义 (E-H)

管脚定义	E	F	G	H
1	VCC	VCC	VCC	VCC
2	DGND	DGND	DGND	DGND
3	EPHY0_RSTN	RGMIIO_RXD3	RGMIIO_MDCK	RGMIIO_RXDV
4	RGMIIO_RXCK	RGMIIO_MDIO	RGMIIO_MDIO	RGMIIO_RXD0
5	DGND	DGND	RGMIIO_RXCK	RGMIIO_RXD3
6	RGMIIO_RXDV	RGMIIO_RXD0	RGMIIO_RXD1	RGMIIO_RXD2
7	DGND	DGND	DGND	DGND
8	DGND	DGND	MIPI_CSI0_D3_N	MIPI_CSI0_D3_P
9	MIPI_CSI0_D2_P	MIPI_CSI0_D2_N	DGND	DGND
10	DGND	DGND	MIPI_CSI0_D0_N	MIPI_CSI0_D0_P
11	MIPI_CSI0_D1_P	MIPI_CSI0_D1_N	DGND	DGND
12	DGND	DGND	MIPI_CSI0_CLK1_N	MIPI_CSI0_CLK1_P
13	MIPI_CSI0_CLK0_N	MIPI_CSI0_CLK0_P	DGND	DGND
14	DGND	DGND	MIPI_CSI1_D0_N	MIPI_CSI1_D0_P
15	MIPI_CSI1_D1_N	MIPI_CSI1_D1_P	DGND	DGND
16	DGND	DGND	MIPI_CSI1_CLK0_P	MIPI_CSI1_CLK0_N
17	MIPI_CSI1_D2_P	MIPI_CSI1_D2_N	DGND	DGND
18	DGND	DGND	MIPI_CSI1_D3_N	MIPI_CSI1_D3_P

管脚定义	E	F	G	H
19	MIPI_CS11_CLK1_P	MIPI_CS11_CLK1_N	DGND	DGND
20	DGND	DGND	HDMI0_TX0_N	HDMI0_TX0_P
21	HDMI0_TXC_N	HDMI0_TXC_P	DGND	DGND
22	DGND	DGND	HDMI0_TX2_P	HDMI0_TX2_N
23	HDMI0_TX1_P	HDMI0_TX1_N	DGND	DGND
24	DGND	DGND	MIPI_DSI_CLK_N	MIPI_DSI_CLK_P
25	MIPI_DSI_D0_P	MIPI_DSI_D0_N	DGND	DGND
26	DGND	DGND	MIPI_DSI_D2_N	MIPI_DSI_D2_P
27	MIPI_DSI_D3_P	MIPI_DSI_D3_N	DGND	DGND
28	DGND	DGND	MIPI_DSI_D1_N	MIPI_DSI_D1_P
29	LSADC6	LSADC7	DGND	DGND
30	POWEROFF_OUT	EMMC_CMD	EMMC_DS	EMMC_DATA0
31	I2CS_SCL	EMMC_DATA7	EMMC_DATA6	EMMC_CLK
32	UART4_TXD	EMMC_POWER_EN	EMMC_DATA5	EMMC_DATA2
33	UART4_RXD	EMMC_RESET	EMMC_DATA1	EMMC_DATA3
34	DGND	DGND	DGND	EMMC_DATA4
35	UART2_RTX	PPS_IN_GPIO_7	SPI2_CLK	DGND
36	UART2_CTX	SPI2_CS0	SPI2_MISO	SYS_RST_IN
37	UART3_RXD	SPI2_MOSI	PERST_N1	PERST_N0
38	UART3_TXD	HDMI0_HPD	PERST_N2	I2S1_MISO
39	UART3_RTX	UART7_TXD	PERST_N3	I2S1_MOSI
40	UART3_CTX	UART7_RXD	UART8_TXD	UART8_RXD

3.2. 工作模式选择

模组支持 RC 和 EP 两种工作模式，PCIE_EP_RC_FLAG 用来配置 RC 和 EP 两种工作模式，同时用户可通过设置 BOOT_SEL[2:0]的值来选择启动介质，见表 6。

表 6 配置管脚描述

管脚名称	功能
PCIE_EP_RC_FLAG	PCIe 外设 RC 和 EP 模式切换
BOOT_SEL2	启动介质选择 2
BOOT_SEL1	启动介质选择 1
BOOT_SEL0	启动介质选择 0

当 PCIE_EP_RC_FLAG 为低电平，模组工作在 RC 模式，此时只支持如下几种启动方式，见表 7。

表 7 RC 模式启动方式

BOOT_SEL2	BOOT_SEL1	BOOT_SEL0	启动介质
0	1	1	SPI NOR Flash +SATA
1	0	0	SPI NOR Flash + EMMC
1	0	1	SPI NOR Flash +SD 卡
其他			预留

当 PCIE_EP_RC_FLAG 为高电平，模组工作在 EP 模式，该模式下仅支持 PCIe 启动方式，见表 8。

表 8 EP 模式启动方式

BOOT_SEL2	BOOT_SEL1	BOOT_SEL0	启动介质
0	1	0	SPI NOR Flash +PCIe

3.3. 系统配置

- PERST_N0: 是来自 PCIE HOST 的系统复位输入，低有效，在芯片冷启动上电时，默认屏蔽该复位信号，在 PCIE 模块初始化完成后，由软件解除该复位屏蔽，可由 PCIE HOST 触发复位

- UPDATE 管脚是镜像加载指示信号，内部上拉到 1.8V。当 UPDATE 拉低时，可通过 USB 接口制卡。制卡时需在上电后将此管脚持续拉低 5S 左右。

- SYS_RST_OUT: 复位信号输出，可用这个信号复位其它芯片，底板也可以使用自身相关复位电路，该信号悬空；

- Sleep_In: 休眠控制输入，1.8V 信号，高有效，模组进入休眠，休眠功能在 RC 模式下可用，EP 模式下不可用；

- Sleep_Out: 休眠状态输出，该信号可接入 MCU/FPGA 等芯片中，为高表示模组进入休眠状态；

- SYS_RST_IN: 系统复位输入，底板通过复位电路控制模组的上电复位过程；

- POWER_EN: 电源使能输入，底板实现电源上电控制，高电平上电，低电平断电，底板可用 MCU/FPGA 等输出高有效信号。

- LSADC[7:6]是 BOARD ID 的配置管脚，该信号通过改变配置电阻阻值实现 BOARD ID 的变化。模组内部 LSADC[7:6]通过 20K 电阻上拉至 1.8V。电阻取值与 BOARD ID 的关系见表 9。

表 9 推荐分压电阻阻值

采样取值	上拉电阻 R1(kΩ)	上拉电阻 R1(kΩ)
0	20	0
1		2
2		5.6
3		10
4		15
5		27
6		47
7		68
8		200

采样取值	上拉电阻 R1(kΩ)	上拉电阻 R1(kΩ)
9		NC

3.4. SerDes 接口

模组提供8Lane SerDes，分布在2个SerDes Macro中，可以根据不同产品的应用场景，实现GE、USB 3.0、PCIe和SATA的灵活配置。

支持标准和复用关系如下：

- GE-1000BASE-R（1.25Gbps），SGMII（3.125Gbps/1.25Gbps，支持2.5GE和GE）；
- USB3.0（5Gbps）；
- SATA3.0（6Gbps），向下兼容SATA2.0（3Gbps）和SATA1.0（1.5Gbps）；
- PCIe Gen3（8Gbps），向下兼容PCIe Gen2（5Gbps）和PCIe Gen1（2.5Gbps）；
- PCIe0支持RC/EP模式（通过PCIe_EP_RC_FLAG管脚配置），其他PCIe只支持RC模式；
- Macro0中若存在PCIe和其他协议共存，则PCIe只能支持到PCIe Gen2；
- PCIe支持降lane应用，如PCIe x4降lane到PCIe x2/x1。

SerDes复用关系如表10和表11。

表 10 RC 模式下 SerDes 复用为 PCIe

Macro0				Macro1			
SerDes 0	SerDes 1	SerDes 2	SerDes 3	SerDes 4	SerDes 6	SerDes 6	SerDes 7
PORT 0 (X4/X2/X1)				-	-	-	-
-	-	-	PORT 1 (X1)	-	-	-	-
-	-	-	-	PORT 2 (X2/X1)		-	-
-	-	-	-	-	-	PORT 3 (X1)	-

表 11 EP 模式下 SerDes 复用为 PCIe

Macro0				Macro1			
SerDes 0	SerDes 1	SerDes 2	SerDes 3	SerDes 4	SerDes 6	SerDes 6	SerDes 7
PORT 0 (X4/X2/X1)				-	-	-	-

3.4.1. PCIe 接口

模组共四个PCIe控制器，PCIe最高支持PCIe Gen3（8Gbps），向下兼容PCIe Gen2（5Gbps）和PCIe Gen1（2.5Gbps），同时可通过PCIe_EP_RC_FLAG管脚进行RC和EP模式切换选择。接口如表12

所示。

表 12 接口管脚描述

管脚名称	功能描述	使用说明
PCIe_TX0_P/N	PCIe Lane 0 Transmit P/N	用户板须串隔直电容。PCIe3.0 推荐 220nF，PCIe2.0/1.0 推荐 100nF
PCIe_TX1_P/N	PCIe Lane 1 Transmit P/N	用户板须串隔直电容。PCIe3.0 推荐 220nF，PCIe2.0/1.0 推荐 100nF
PCIe_TX2_P/N	PCIe Lane 2 Transmit P/N	用户板须串隔直电容。PCIe3.0 推荐 220nF，PCIe2.0/1.0 推荐 100nF
PCIe_TX3_P/N	PCIe Lane 3 Transmit P/N	用户板须串隔直电容。PCIe3.0 推荐 220nF，PCIe2.0/1.0 推荐 100nF
PCIe_RX0_P/N	PCIe Lane 0 Receive P/N	-
PCIe_RX1_P/N	PCIe Lane 1 Receive P/N	-
PCIe_RX2_P/N	PCIe Lane 2 Receive P/N	-
PCIe_RX3_P/N	PCIe Lane 3 Receive P/N	-
PERST_N0	PCIe 外设复位信号，低有效，EP 模式作为 PCIe 复位输入，RC 模式输出复位外设	-
PCIE_EP_RC_FLAG	PCIe RC/EP 模式选择，	用户板做高低电平配置；上拉需要 1V8 电平 <ul style="list-style-type: none"> ● 1: EP 模式 ● 0: RC 模式

注：

PCIe TX 耦合电容建议：

- GEN1/GEN2：0.075uF(Min)/0.265uF(Max)
- GEN3：0.176uF(Min)/0.265uF(Max)

3.4.2. SATA 接口

模组可通过 SerDes[3:0]提供最多 4 个 SATA 接口，最高支持 SATA3.0（6Gbps），向下兼容 SATA2.0(3.0Gbps)和 SATA1.0(1.5Gbps)。接口如表 13 所示。

表 13 接口管脚描述

管脚名称	功能描述	使用说明
PCIe_TX0_P/N	SATA0 发送数据 P/N	用户板须串隔直电容，预留串接 220nF 的 AC 耦合电容位置。支持复用为 PCIe
PCIe_TX1_P/N	SATA1 发送数据 P/N	用户板须串隔直电容，预留串接 220nF 的 AC 耦合电容位置。支持复用为 PCIe
PCIe_TX2_P/N	SATA2 发送数据 P/N	用户板须串隔直电容，预留串接 220nF 的 AC 耦合电容位置。支持复用为 PCIe
PCIe_TX3_P/N	SATA3 发送数据 P/N	用户板须串隔直电容，预留串接 220nF 的 AC 耦合电容位置。支持复用为 PCIe
PCIe_RX0_P/N	SATA0 接收数据 P/N	-

管脚名称	功能描述	使用说明
PCIe_RX1_P/N	SATA1 接收数据 P/N	-
PCIe_RX0_P/N	SATA2 接收数据 P/N	-
PCIe_RX0_P/N	SATA3 接收数据 P/N	-

注：

- M.2 硬盘 SATA 与 NVMe 设计兼容。
- PCIe 数据线支持 N/P 极性翻转，SATA 数据线不支持 N/P 极性翻转，默认接线以 SATA 线序为准。
- PERST_N0 为 HOST 用于复位 PCIe 接口外设的复位信号，低电平有效，外部需上拉至 1.8V 电源。

3.4.3. 参考时钟

模组 SerDes 控制器需使用一组外供 100MHz 差分参考时钟，输入电平类型为 CML。接口如表 14 和表 15 所示。

表 14 接口管脚描述

管脚名称	功能描述
PCIe_REFCLKP	SerDes 控制器 100MHz 参考时钟输入 P 端
PCIe_REFCLKN	SerDes 控制器 100MHz 参考时钟输入 N 端

表 15 信号指标关键规格约束

关键规格	规格要求
占空比	50% (±5%)
Trise/Tfall (20%~80%)	<800ps
直流偏置电压	650mV~750mV
100MHz 差分参考时钟频偏	±1MHz (100MHz)
时钟 Buffer 时钟源 100MHz 晶振频偏	<50ppm

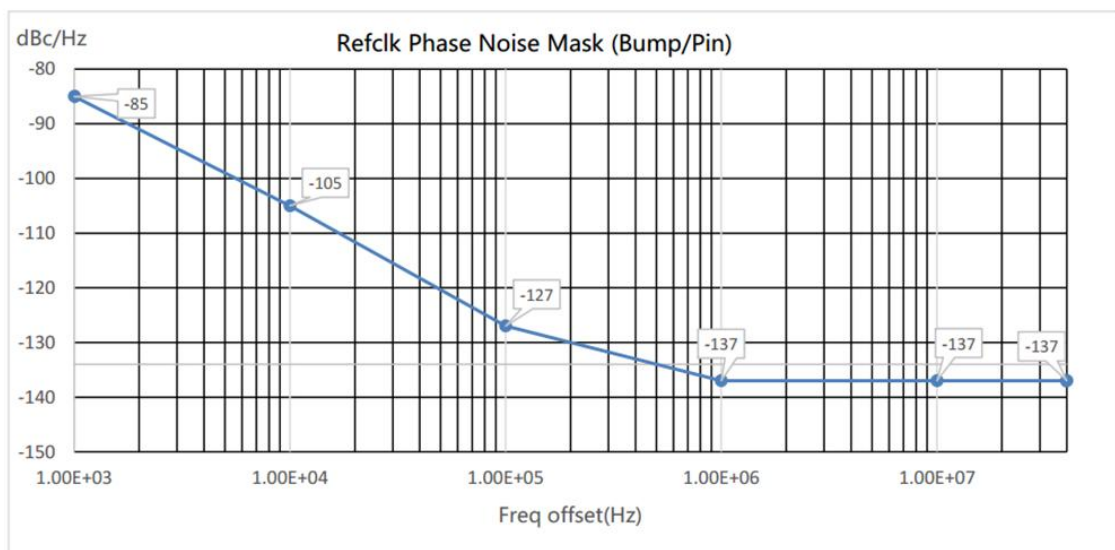


图 4 参考时钟相噪指标要求

注：

- 100MHz 参考时钟输入不支持展频。
- 100MHz 参考时钟需选用 AC 耦合方式。
- 部分 Clock Buffer 芯片内部已集成匹配电阻，外部无需增加匹配电阻，选型时请仔细查阅对应芯片的器件手册。
- 时钟 Buffer 输出电平类型支持 LVPECL、HCSL、LVDS，设计时可根据所
选电平类型搭建外部匹配电路。推荐 Clock Buffer 芯片型号：US5D1204P。输出信
号类型为 LVPECL。如图 5 所示。

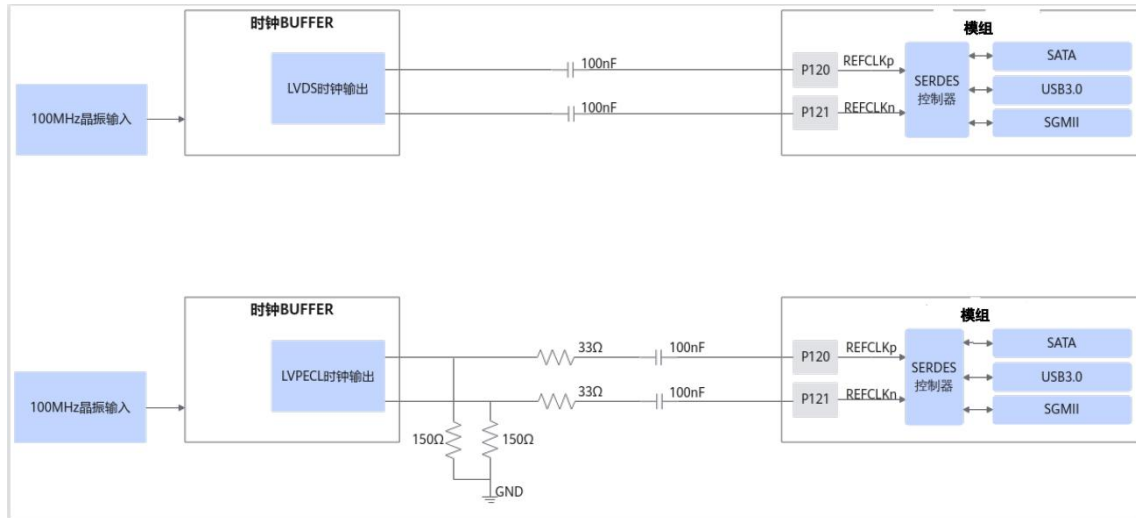


图 5 常用电平类型匹配电路图

3.5. RGMII 接口

模组集成有两个 RGMII 控制器，用于以太网 MAC 层和 PHY 层之间的数据传输，通过 MDIO 接口对外部 PHY 芯片进行配置和管理。

- 支持两个 MDIO 接口。
- 支持对 PHY 内部寄存器的读写访问、PHY 地址、寄存器地址等配置。
- 支持对 GE PHY 内部寄存器的自动查询，每个 MDIO 接口最大支持 5 个 PHY 器件的状态查询，PHY 状态改变则上报中断（每个配置的 PHY 地址可以监测指定最多 2 个地址寄存器的任意指定位状态值是否发生改变）。
- 一个 MDIO 接口接多个 PHY 器件，每个 PHY 器件需配置不同的 PHY ID，且不可配置为 000。MDIO 接口如表 16 所示。

表 16 接口管脚描述

管脚名称	功能描述
RGMII0_MDCK	MDIO0 接口时钟输出管脚
RGMII1_MDCK	MDIO1 接口时钟输出管脚
RGMII0_MDIO	MDIO0 接口数据输入/输出信号

管脚名称	功能描述
RGMII1_MDIO	MDIO1 接口数据输入/输出信号

注：

- MDIO 接口与外部 PHY 连接时，只需将两者的时钟线和数据线分别对接即可，建议对数据线进行上拉处理，时钟线下拉处理。

- MDIO 管脚电平为 1.8V，使用时请注意对接器件 MDIO 接口的电压，若对接器件 MDIO 接口的电压为 3.3V，则与模组之间需要使用电平转换。

RGMII 接口如表 17 所示。

表 17 接口管脚描述

管脚名称	功能描述
RGMII0_RXCK	RGMII0 接收时钟
RGMII0_RXD0	RGMII0 接收数据 0
RGMII0_RXD1	RGMII0 接收数据 1
RGMII0_RXD2	RGMII0 接收数据 2
RGMII0_RXD3	RGMII0 接收数据 3
RGMII0_RXDV	RGMII0 接口接收数据有效信号
RGMII0_TXCK	RGMII0 发送时钟
RGMII0_TXD0	RGMII0 发送数据 0
RGMII0_TXD1	RGMII0 发送数据 1
RGMII0_TXD2	RGMII0 发送数据 2
RGMII0_TXD3	RGMII0 发送数据 3
RGMII0_TXEN	RGMII0 接口发送数据有效信号
EPHY0_RSTN	外部 GE PHY0 器件复位信号，低有效
RGMII1_RXCK	RGMII1 接收时钟
RGMII1_RXD0	RGMII1 接收数据 0
RGMII1_RXD1	RGMII1 接收数据 1
RGMII1_RXD2	RGMII1 接收数据 2
RGMII1_RXD3	RGMII1 接收数据 3
RGMII1_RXDV	RGMII1 接口接收数据有效信号
RGMII1_TXCK	RGMII1 发送时钟
RGMII1_TXD0	RGMII1 发送数据 0
RGMII1_TXD1	RGMII1 发送数据 1
RGMII1_TXD2	RGMII1 发送数据 2
RGMII1_TXD3	RGMII1 发送数据 3
RGMII1_TXEN	RGMII1 接口发送数据有效信号
EPHY1_RSTN	外部 GE PHY1 器件复位信号，低有效

3.6. EMMC 接口

模组提供一个 EMMC (Embedded Multi-Media Card)控制器。用于处理对 EMMC 器件的命令收发、数据读写等操作。如表 18 所示。

- 支持速率：EMMC 支持的模式为 HS400（最高带宽 400Mbps）

向下兼容：HS200/ High Speed DDR/High Speed SDR 模式。

- 支持 Auto-tuning 功能。
- 支持 AMBA (AHB/APB) 总线接口。
- 支持 SDMA/ADMA2 方式的 DMA 传输。
- 支持命令、数据的 CRC 校验。

表 18 接口管脚描述

管脚名称	功能描述	使用说明
EMMC_CLK	EMMC 时钟	须外接 10kΩ电阻下拉至 GND
EMMC_CMD	EMMC 命令信号	建议在 EMMC 颗粒侧串接 33Ω电阻
EMMC_DATA0	EMMC 数据 0	建议在 EMMC 颗粒侧串接 33Ω电阻
EMMC_DATA1	EMMC 数据 1	建议在 EMMC 颗粒侧串接 33Ω电阻
EMMC_DATA2	EMMC 数据 2	建议在 EMMC 颗粒侧串接 33Ω电阻
EMMC_DATA3	EMMC 数据 3	建议在 EMMC 颗粒侧串接 33Ω电阻
EMMC_DATA4	EMMC 数据 4	建议在 EMMC 颗粒侧串接 33Ω电阻
EMMC_DATA5	EMMC 数据 5	建议在 EMMC 颗粒侧串接 33Ω电阻
EMMC_DATA6	EMMC 数据 6	建议在 EMMC 颗粒侧串接 33Ω电阻
EMMC_DATA7	EMMC 数据 7	建议在 EMMC 颗粒侧串接 33Ω电阻
EMMC_DS	EMMC HS400 模式读方向时钟	建议在 EMMC 颗粒侧串接 0Ω电阻
EMMC_POWER_EN	EMMC 颗粒电源使能控制信号, 高电平有效需加下拉电阻, 默认 EMMC 颗粒不上电	-
EMMC_RESET	EMMC 复位信号, 低电平有效	-

3.7. USB 接口

模组可通过 SerDes[7:4]复用提供 4 组 USB3.0 接口, 此外还支持 2 路 USB2.0 接口。对外部设备提供电源时, 限流开关输出端电容容量须大于 150uF。如表 19 所示。

表 19 接口管脚描述

管脚名称	功能描述	使用说明
PCIE_USB_GE_RX4_P	USB3.0_0 接收数据 P 端	-
PCIE_USB_GE_RX4_N	USB3.0_0 接收数据 N 端	-
PCIE_USB_GE_TX4_P	USB3.0_0 发送数据 P 端	须串接 100nF 的 AC 耦合电容。
PCIE_USB_GE_TX4_N	USB3.0_0 发送数据 N 端	须串接 100nF 的 AC 耦合电容。
PCIE_USB_GE_RX5_P	USB3.0_1 接收数据 P 端	-
PCIE_USB_GE_RX5_N	USB3.0_1 接收数据 N 端	-
PCIE_USB_GE_TX5_P	USB3.0_1 发送数据 P 端	须串接 100nF 的 AC 耦合电容。
PCIE_USB_GE_TX5_N	USB3.0_1 发送数据 N 端	须串接 100nF 的 AC 耦合电容。
PCIE_USB_GE_RX6_P	USB3.0_2 接收数据 P 端	-
PCIE_USB_GE_RX6_N	USB3.0_2 接收数据 N 端	-
PCIE_USB_GE_TX6_P	USB3.0_2 发送数据 P 端	须串接 100nF 的 AC 耦合电容。
PCIE_USB_GE_TX6_N	USB3.0_2 发送数据 N 端	须串接 100nF 的 AC 耦合电容。

管脚名称	功能描述	使用说明
PCIE_USB_GE_RX7_P	USB3.0_3 接收数据 P 端	-
PCIE_USB_GE_RX7_N	USB3.0_3 接收数据 N 端	-
PCIE_USB_GE_TX7_P	USB3.0_3 发送数据 P 端	须串接 100nF 的 AC 耦合电容。
PCIE_USB_GE_TX7_N	USB3.0_3 发送数据 N 端	须串接 100nF 的 AC 耦合电容。
USB2_2_DM	USB2.0_2 接口 N 端	-
USB2_2_DP	USB2.0_2 接口 P 端	-
USB2_3_DM	USB2.0_2 接口 N 端	-
USB2_3_DP	USB2.0_2 接口 P 端	-
USB2_VBUS	USB2_2 设备插入检测, Device 必需	VBUS 输入信号, 输入电平范围 0V~3.3V。如接 5V 电源, 需与 5V 之间串接 30kΩ±1%电阻
USB2_OVRCUR	USB2_2 过流信号	-
USB3_VBUS	USB2_3 设备插入检测, Device 必需	VBUS 输入信号, 输入电平范围 0V~3.3V。如接 5V 电源, 需与 5V 之间串接 30kΩ±1%电阻
USB3_OVRCUR	USB2_2 过流信号	-
USB3_POWER_EN	USB2_3 电源使能信号	-

3.8. MIPI CSI 接口

模组可提供 2 路 MIPI CSI-2 接口, 用于摄像模组和处理器之间的连接, 如表 20 所示, 支持如下协议:

- 支持标准 MIPI CSI-2 v1.2 协议;
- mmDPHY 接口可支持标准 DPHY 协议;
- 单路最多支持 8-Lane MIPI DPHY 接口, 最大支持 2.5Gbps/Lane;
- 支持 RAW8/RAW10/RAW12/RAW14 数据类型解析;
- 支持 YUV420 8-bit/YUV422 8-bit 数据类型解析;
- 支持最大 4 路 virtual channel;
- 最多支持 2 帧 WDR, 支持多种 WDR 时序。

表 20 接口管脚描述

管脚名称	功能描述
MIPI_CSI0_D0_N	MIPI_CSI0_D0 接口 N 端
MIPI_CSI0_D0_P	MIPI_CSI0_D0 接口 P 端
MIPI_CSI0_D1_N	MIPI_CSI0_D1 接口 N 端
MIPI_CSI0_D1_P	MIPI_CSI0_D1 接口 P 端
MIPI_CSI0_D2_N	MIPI_CSI0_D2 接口 N 端
MIPI_CSI0_D2_P	MIPI_CSI0_D2 接口 P 端
MIPI_CSI0_D3_N	MIPI_CSI0_D3 接口 N 端
MIPI_CSI0_D3_P	MIPI_CSI0_D3 接口 P 端
MIPI_CSI1_D0_N	MIPI_CSI1_D0 接口 N 端
MIPI_CSI1_D0_P	MIPI_CSI1_D0 接口 P 端

管脚名称	功能描述
MIPI_CSI1_D1_N	MIPI_CSI1_D1 接口 N 端
MIPI_CSI1_D1_P	MIPI_CSI1_D1 接口 P 端
MIPI_CSI1_D2_N	MIPI_CSI1_D2 接口 N 端
MIPI_CSI1_D2_P	MIPI_CSI1_D2 接口 P 端
MIPI_CSI1_D3_N	MIPI_CSI1_D3 接口 N 端
MIPI_CSI1_D3_P	MIPI_CSI1_D3 接口 P 端
MIPI_CSI0_CLK0_N	MIPI_CSI0_CLK0 接口 N 端
MIPI_CSI0_CLK0_P	MIPI_CSI0_CLK0 接口 P 端
MIPI_CSI0_CLK1_N	MIPI_CSI0_CLK1 接口 N 端
MIPI_CSI0_CLK1_P	MIPI_CSI0_CLK1 接口 P 端
MIPI_CSI1_CLK0_N	MIPI_CSI1_CLK0 接口 N 端
MIPI_CSI1_CLK0_P	MIPI_CSI1_CLK0 接口 P 端
MIPI_CSI1_CLK1_N	MIPI_CSI1_CLK1 接口 N 端
MIPI_CSI1_CLK1_P	MIPI_CSI1_CLK1 接口 P 端

3.9. MIPI DSI 接口

模组可提供 1 路 MIPI DSI-2 接口，用于连接处理器和显示屏，如表 21 所示，支持如下协议：

- 支持标准 MIPI DSI-2 v1.0 协议；
- DPHY 接口支持 DPHY v1.2 协议；
- 最高支持输出 1920x1080@60fps；
- 高速模式最多支持 4-Lane MIPI D-PHY 接口，最大支持 2.5Gbps/lane；
- 仅 Data Lane0 支持低速的发送和接收，Bus Turn-Around 功能。低速模式速率最高 10Mbps；
- 支持 RGB 16-bit/18-bit/24-bit 和 YUV420 12-bit/YUV422 16-bit/YUV422 20-bit 数据类型的输出；
- 支持 DSI video mode 和 Command mode。video mode 支持 Burst mode、Nonburst Mode with Sync Pulses 和 Non-burst Mode with Sync Events。Command mode 支持 TE 信号输入。

表 21 接口管脚描述

管脚名称	功能描述
MIPI_DSI_CLK_N	MIPI_DSI_CLK 接口 N 端
MIPI_DSI_CLK_P	MIPI_DSI_CLK 接口 P 端
MIPI_DSI_D3_N	MIPI_DSI_D3 接口 N 端
MIPI_DSI_D3_P	MIPI_DSI_D3 接口 P 端
MIPI_DSI_D2_N	MIPI_DSI_D2 接口 N 端
MIPI_DSI_D2_P	MIPI_DSI_D2 接口 P 端

管脚名称	功能描述
MIPI_DSI_D1_N	MIPI_DSI_D1 接口 N 端
MIPI_DSI_D1_P	MIPI_DSI_D1 接口 P 端
MIPI_DSI_D0_N	MIPI_DSI_D0 接口 N 端
MIPI_DSI_D0_P	MIPI_DSI_D0 接口 P 端
MIPI_DSI_SCL	I2C 接口时钟信号
MIPI_DSI_SDA	I2C 接口数据信号
MIPI_DSI_GPIO	预留 GPIO 信号
DSI_I2C_INT	MIPI_DSI 接口中断信号

3.10. HDMI TX 接口

模组支持 1 个 HDMI2.0 (High Definition Multimedia Interface)接口, 用来实现将处理后的视频信号输出到外部显示设备, 如表 22 所示, 支持如下协议:

- 支持 RGB444、YCbCr444 输入及处理;
- 支持 RGB444、YCbCr444、YCbCr422, YCbCr420 数据格式输出;
- Video 通路 Bypass 模式下, 支持 YCbCr422、支持 YCbCr420 输入;
- RGB444 最大支持 36-bit, YCbCr444 最大支持 24-bit, YCbCr422、YCbCr420 最大支持 36-bit, 最高分辨率均可支持 3840x2160@60fps;
- 支持用于 DDC 的 I2C Master 接口, 支持 5V 耐压。

表 22 接口管脚描述

管脚名称	功能描述
HDMI0_TX0_P	HDMI0 TX 通道 0 串行差分信号正极
HDMI0_TX0_N	HDMI0 TX 通道 0 串行差分信号负极
HDMI0_TX1_P	HDMI0 TX 通道 1 串行差分信号正极
HDMI0_TX1_N	HDMI0 TX 通道 1 串行差分信号负极
HDMI0_TX2_P	HDMI0 TX 通道 2 串行差分信号正极
HDMI0_TX2_N	HDMI0 TX 通道 2 串行差分信号负极
HDMI0_TXC_P	HDMI0 TX 差分像素时钟正极
HDMI0_TXC_N	HDMI0 TX 差分像素时钟负极
HDMI0_HPD	HDMI0 接口热插拔检测信号
HDMI0_CEC	HDMI0 接口消费类电子控制(Consumer Electronic Control)通道信号
HDMI0_SDA	HDMI0 DDC(Display Data Channel)数据/地址信号
HDMI0_SCL	HDMI0 DDC(Display Data Channel)时钟信号

3.11. I2S 接口

模组支持 1 组 I2S 接口用来实现音频信号的传输处理, 如表 23 所示。支持如下协议:

- 支持 I2S 标准接口协议；
- I2S1 在 I2S 模式下支持 master 模式；
- I2S1 仅支持 I2S 模式传输数据，Master 模采样率为 48K。

表 23 接口管脚描述

管脚名称	功能描述
I2S1_MCLK	I2S1 主时钟，可以作为音频 CODEC 的工作时钟
UART8_TXD	可复用为 I2S1_BCLK，I2S1 串行时钟
UART8_RXD	可复用为 I2S1_LRCK，I2S1 左右声道选择信号
I2S1_MOSI	I2S1 串行数据输出
I2S1_MISO	I2S1 串行数据输入

3.12. 其他接口

3.12.1. I2C 接口

模组共支持 4 路 I2C 接口，可用作传感器连接，外设控制及硬件监控，如表 24 所示。

表 24 接口管脚描述

管脚名称	功能描述
I2C5_SCL	IIC5 主设备时钟，可与 I2C 外设相连，OD 门
I2C5_SDA	IIC5 主设备数据，可与 I2C 外设相连，OD 门
I2C8_SCL	IIC 从设备时钟，可与 I2C 外设相连，OD 门
I2C8_SDA	IIC 从设备数据，可与 I2C 外设相连，OD 门
I2C8_SCL	IIC8 主设备时钟，可与 I2C 外设相连，OD 门
I2C8_SDA	IIC8 主设备数据，可与 I2C 外设相连，OD 门
I2C9_SCL	IIC9 主设备时钟，可与 I2C 外设相连，OD 门
I2C9_SDA	IIC9 主设备数据，可与 I2C 外设相连，OD 门

注：

- 建议在 MIPI CSI 设计中添加 I2C 信号用于连接摄像头控制接口 (CCI) (须加 1.8V-3.3V 电平转换)。

3.12.2. SPI 接口

模组可提供 1 路 SPI 接口，可作为一个主设备与外部的设备来进行同步串行通信，如表 25 所示。

表 25 接口管脚描述

管脚名称	功能描述
SPI2_CLK	SPI2 时钟信号；最大 15.36M，可复用为 SPI5_CLK
SPI2_CS0	SPI2 片选信号，可复用为 SPI5_CS0
SPI2_MOSI	SPI2 主机输出，从机输入，可复用为 SPI5_MOSI
SPI2_MISO	SPI2 主机输出，从机输入可复用为 SPI5_MISO

3.12.3. UART 接口

模组可提供 7 路 UART 接口，用来连接多种外部设备，如传感器、

调试设备，如表 26 所示。

表 26 接口管脚描述

管脚名称	功能描述
UART0_TXD	UART0 发送数据。调试、系统打印、外设扩展等
UART0_RXD	UART0 接收数据。调试、系统打印、外设扩展等
UART1_TXD	UART1 发送数据
UART1_RXD	UART1 接收数据
UART2_TXD	UART2 发送数据
UART2_RXD	UART2 接收数据
UART3_TXD	UART3 发送数据
UART3_RXD	UART3 接收数据
UART4_TXD	UART4 发送数据
UART4_RXD	UART4 接收数据
UART7_TXD	UART7 发送数据
UART7_RXD	UART7 接收数据
UART8_TXD	UART8 发送数据
UART8_RXD	UART8 接收数据
UART2_RTX	UART2 发送请求，硬件流控信号，低电平有效
UART2_CTX	UART2 发送允许，硬件流控信号，低电平有效
UART3_RTX	UART3 发送请求，硬件流控信号，低电平有效
UART3_CTX	UART3 发送允许，硬件流控信号，低电平有效

注：

- UART0 作为调试串口，在用户底板上务必引出。

3.12.4. PWM 控制接口

模组提供一路 PWM 输出及风扇转速检测输入用来实现控制风扇转速与转速检测，如表 27 所示。

表 27 接口管脚描述

管脚名称	功能描述
FAN_PWM0	PWM 输出（风扇调速用）、通用 GPIO
FAN_TECH0	风扇 0 转速检测输入、通用 GPIO

4. 物理接口说明

4.1. 外形尺寸

模组的外形尺寸为 $60.0(\pm 0.2)\text{mm} \times 55.0(\pm 0.2)\text{mm} \times 9.7(\pm 0.3)\text{mm}$ 。模组正面最高 4.0mm ，板厚 2.0mm ，背面最高 3.7mm 。

应用于底板时，连接器对接高度 5mm ，从底板到模组最高处 11mm 。模组结构尺寸如图 6 所示。

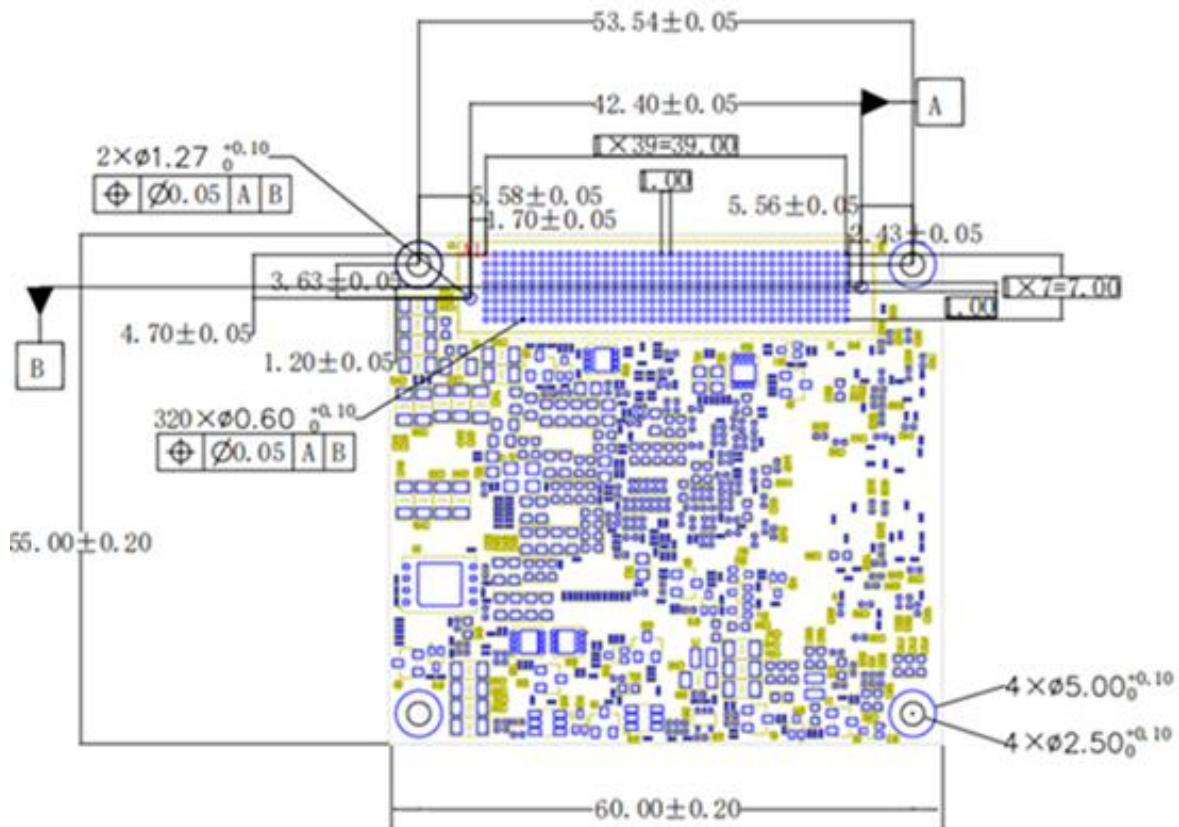


图 6 结构尺寸示意图(正面透视)

4.2. 重量

模组的重量 $\leq 50\text{g}$ 。

4.3. 推荐封装

4.3.1. 连接器

模组使用 320pin 高速连接器，该连接器通过 BGA 焊接方式和底板互配，连接器插头插座对接高度为 5mm 。

该连接器具备高速率、阵列化、重量轻、插合高度低、排列密度高、环境适应强等特点。连接器插座 PCB 开孔尺寸见图 7。

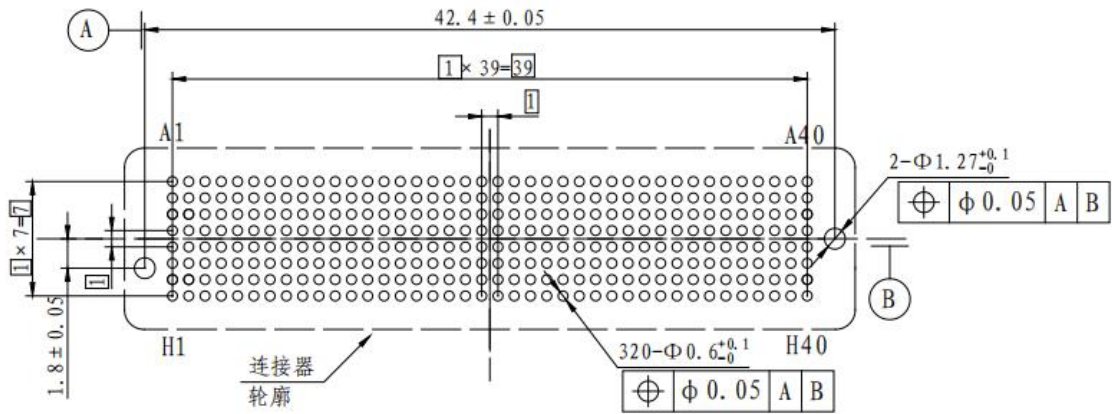


图 7 插座 PCB 开孔尺寸（从连接器安装面看）

4.3.2. 底板连接器插座及开孔位置

底板连接器插座及开孔位置见图 8。

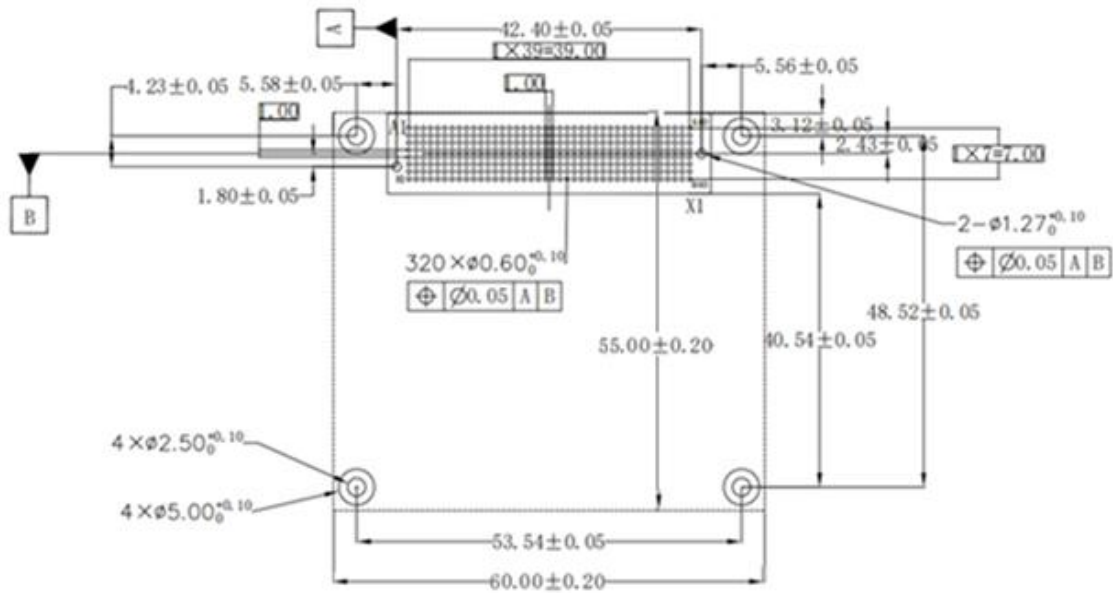


图 8 底板连接器位置及开孔尺寸

4.3.3. 安装示意

模组安装示意如图 9 所示。

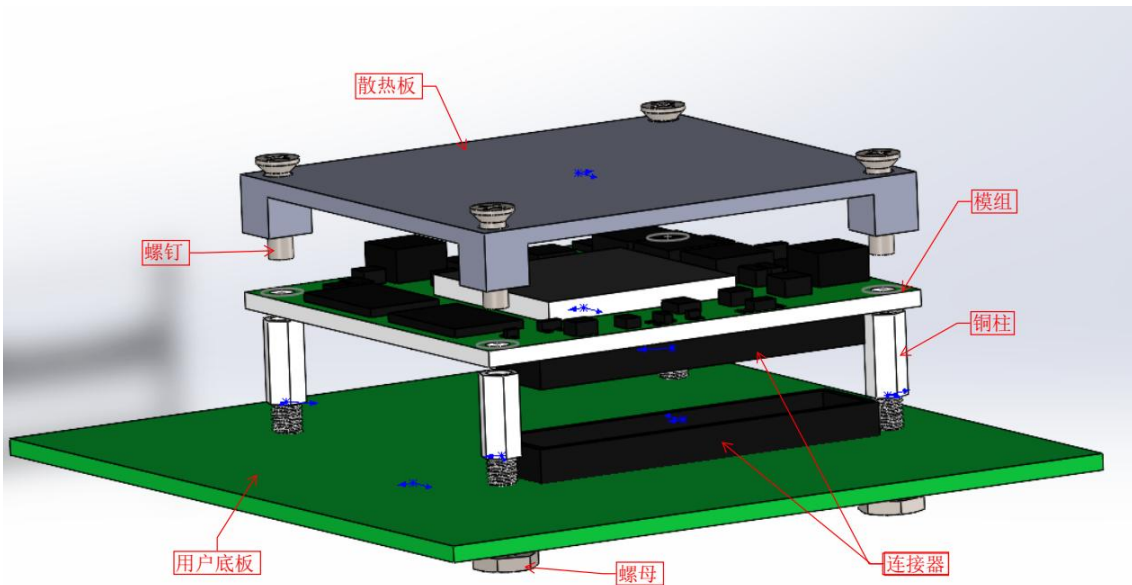


图 9 安装示意图

连接器的对插高度为5mm。

结构安装信息如下：

- 模组与底板使用连接器实现信号互联，模组与底板之间使用四个 M2.5 铜柱支撑；
- 螺钉类型可选择 M2.5 十字、一字沉头或盘头螺钉等，螺钉长度取决于散热板、以及模组的总厚度。

4.4. 模组散热设计

模组的关键器件高度功耗如图 10、图 11所示。

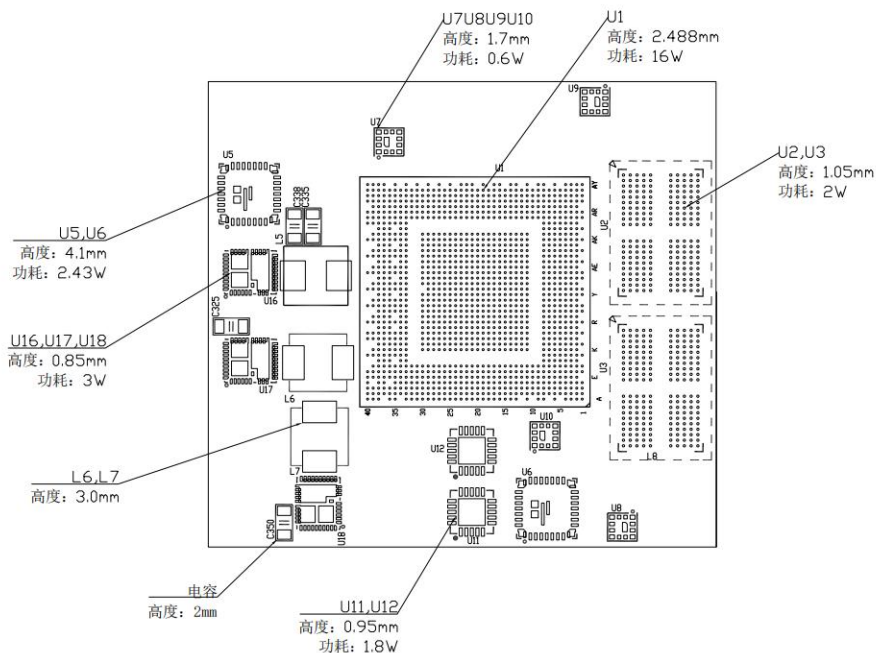


图 10 正面器件高度-功耗

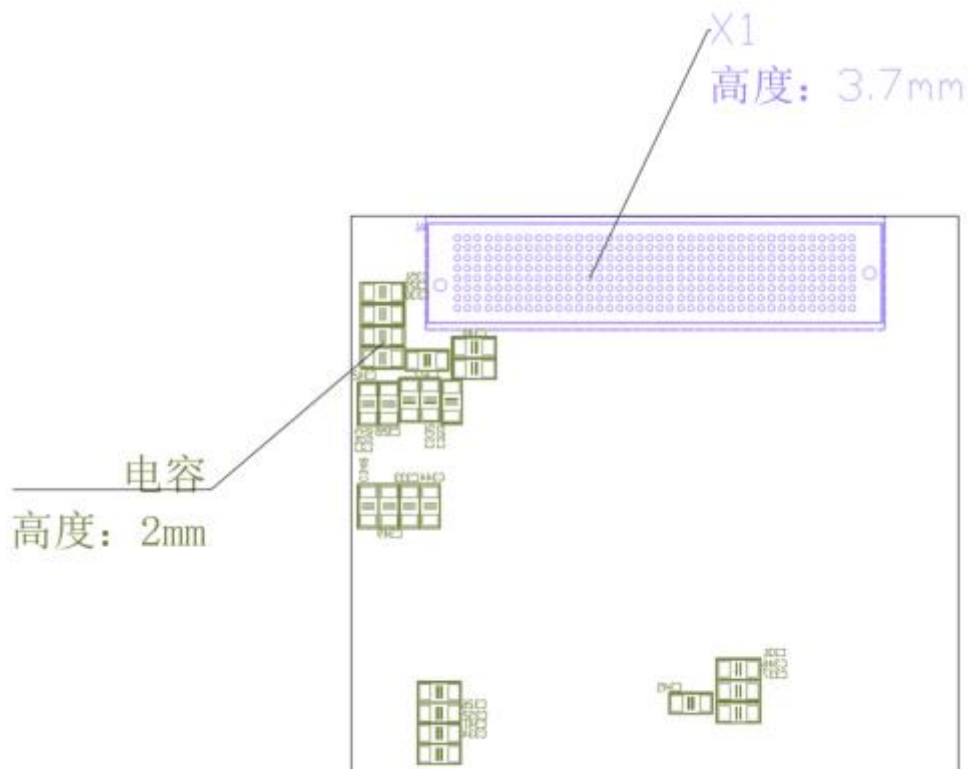


图 11 背面器件高度-功耗

5. 存储和生产

在生产、包装及贮运过程中应采防护性措施，如防震、防火、防晒、防雨、防潮、防撞等，保护产品质量。具体防护要求和方法应按照 GJB1443-1992《产品包装、装卸、运输、贮存的质量管理要求》的要求执行。

模组应贮存在清洁、通风、无腐蚀气体并有温度和相对湿度控制的场所，密封保存。模组的贮存环境条件见表 29。

表 29 贮存环境条件

温度°C	相对湿度%
10~25	25~70

6. 缩略语

TFLOPS	Tera Flops	万亿次浮点运算每秒
CSI	Camera Serial Interface	摄像头串行接口
CMD	Charge Modulated Device	电荷调制器件
DSI	Display Serial Interface	显示串行接口
EMMC	Embedded Multi-Media Card	嵌入式多媒体存储卡
GPIO	General Purpose Input Output	通用输入输出接口
HDMI	High Definition Multimedia Interface	高清多媒体接口
I2C	Inter IC Interface	集成电路间总线
I2S	Inter IC Sound Interface	集成电路间音频接口
LPDDR4x	Low Power Double Data Rate DRAM, Fourth generation	低功耗双倍数据速率第四代内存
MIPI	Mobile Industry Processor Interface	移动产业处理器接口联盟
NVMe	Non-Volatile Memory express	非易失性存储器快速协议
PCIe	Peripheral Component Interconnect Express Interface	PCI Express 接口
SDIO	Secure Digital I/O Interface	安全数字输入输出接口
SATA	Serial Advanced Technology Attachment	串行高级技术附件接口
SPI	Serial Peripheral Interface	串行外设接口
SGMII	Serial Gigabit Media Independent Interface	串行千兆媒体独立接口
RGMII	Reduced Gigabit Media Independent Interface	简化千兆媒体独立接口

7. 版本说明

文档版本	发布日期	修改说明
1.0		第一次正式发布